

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 200217518  
 (43) Date of publication of application: 21.06.2

(51) Int. Cl. G06F 9/38  
 G06F 11/00, G06F 15/78, H01L 27/04, H01L 21/822

(21) Application number: 2000371299  
 (22) Date of filing: 06.12.2000

(71) Applicant: MATSUSHITA ELECTRIC IND LTD  
 (72) Inventor: YANO JUNICHI  
 YOSHIDA HISATO  
 ABEA KIMHIKO  
 IMAMURA KATSUYUKI  
 MORI JUNICHI  
 YAMAMOTO JUNYA

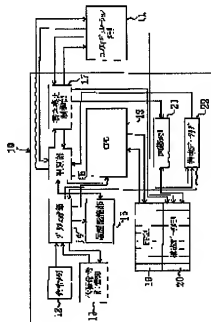
## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

CPU 18 by using the alternate instruction.  
 COPYRIGHT: (C)2002,JPO

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To improve the processing efficiency of a semiconductor integrated circuit arranged with an arranged programmable device.

**SOLUTION:** This semiconductor integrated circuit 10 is capable of receiving and transmitting a signal with a configuration memory 11. At its inside, the semiconductor integrated circuit 10 is provided with an instruction memory 11, an instruction storing part 12 for storing a reservation instruction as an F instruction and storing the same processing contents as the F instruction as an alternate instruction to be performed in a CPU 18, a prefetch part 14, a history storing part 15, a discriminating part 16 for discriminating the kind of an instruction, a rewriting control part 17 for rewriting the instruction, the CPU 18, an FPGA 19, a constitution data memory 20, an incorporated memory 21 and a constitution data tag 22. When constitution data of the F instruction do not exist within the FPGA 19, the same processing as the FPGA 19 is performed by the



(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)	
G 0 6 F 9/38	3 7 0	G 0 6 F 9/38	3 7 0 C	5 B 0 1 3
11/00		15/78	5 1 0 A	5 B 0 6 2
15/78	5 1 0		5 1 0 G	5 B 0 7 6
		9/06	6 3 0 A	5 F 0 3 8
H 0 1 L 27/04		H 0 1 L 27/04	U	

審査請求 未請求 請求項の数16 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2000-371299 (P2000-371299)

(22) 出願日 平成12年12月6日 (2000.12.6)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 矢野 純一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 吉田 久人

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

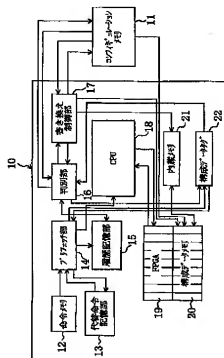
最終頁に続く

## (54) 【発明の名称】 半導体集積回路

## (57) 【要約】

【課題】 プログラマブルデバイスを配置した半導体集積回路の処理効率を向上させる。

【解決手段】 半導体集積回路10は、コンフィギュレーションメモリ11と信号の授受が可能になっている。半導体集積回路10の内部には、命令メモリ12と、予約命令をF命令として記憶し、このF命令と同じ処理内容をCPUで行なうための代替命令として記憶している命令記憶部12と、プリフェッチ部14と、履歴記憶部15と、命令の種類を判別するための判別部16と、命令を書き換えるための書き換え制御部17と、CPU18と、FPGA19と、構成データメモリ20と、内蔵メモリ21と、構成データタグ22とを備えている。F命令の構成データがFPGA19内に存在しない場合には、代替命令を使用することで、CPU18によりFPGA19と同じ処理が行なわれる。



1

【特許請求の範囲】

【請求項1】 CPUと、

回路構成が書き換え可能であるプログラマブルデバイスで構成される上記CPUの補助演算装置と、

命令あるいは複数の命令からなる命令列を受けて、上記命令あるいは命令列が上記補助演算装置で処理が可能な

予約命令か否かを判別する第1の判別手段と、

上記予約命令の処理を行う回路構成データを上記補助演算装置に書き込むための構成データ書き込み手段とを備えている半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、

上記第1の判別手段の結果を受けて、上記命令が上記予約命令であるときには、上記予約命令の処理を行う回路が上記補助演算装置内に存在するか否かを判断する第2

の判別手段と、

上記第1の判別手段および第2の判別手段の判断結果を受けて、上記命令が上記予約命令であるときには、上記補助演算装置を用いて上記予約命令の処理を行うか否かを判断する第3の判別手段とをさらに備えている半導体集積回路。

【請求項3】 請求項2記載の半導体集積回路において、

上記第2の判別手段の判断結果を受けて、上記予約命令の処理を行う回路が上記補助演算装置内に存在する場合に、上記予約命令の処理を上記補助演算装置で行わせるように指示し、上記予約命令の処理を行う回路が上記補助演算装置内に存在しない場合に、上記予約命令の処理を上記CPUで行うように指示する命令切り替え手段とをさらに備えている半導体集積回路。

【請求項4】 請求項3記載の半導体集積回路において、

上記予約命令はCPUで実行され得ない命令であり、上記予約命令と同等の処理をCPUで行うための代替命令を供給する代替命令供給手段とをさらに備え、

上記命令切り替え手段は、上記代替命令供給手段から上記代替命令を取得する機能を有していることを特徴とする半導体集積回路。

【請求項5】 請求項3記載の半導体集積回路において、

上記予約命令はCPUで実行され得ない命令であり、上記命令又は命令列と、上記予約命令と同等の処理をCPUで行うための代替命令とを供給する機能を有する命令供給手段とをさらに備え、

上記命令切り替え手段は上記命令供給手段から上記予約命令または上記代替命令を選択して取得する機能を有していることを特徴とする半導体集積回路。

【請求項6】 請求項3記載の半導体集積回路において、

上記予約命令はCPUで実行され得る命令であり、

2

上記命令切り替え手段は、上記予約命令の処理を上記補助演算装置で行わせる場合は上記予約命令の処理を上記補助演算装置で行わせるように上記命令を変更し、上記予約命令の処理を上記CPUで行わせる場合は上記予約命令を変更しない機能をさらに有していることを特徴とする半導体集積回路。

【請求項7】 請求項1～6のうちいずれか1つに記載の半導体集積回路において、

上記構成データ書き込み手段は、上記予約命令を受けたときに、当該予約命令の処理を行う回路が上記補助演算装置内に存在しない場合に、上記補助演算装置に上記予約命令の回路構成データを書き込む機能を有していることを特徴とする半導体集積回路。

【請求項8】 請求項1～7のうちいずれか1つに記載の半導体集積回路において、

上記予約命令の使用頻度を記憶する履歴記憶手段とをさらに備え、

上記構成データ書き込み手段は、上記履歴記憶手段を参照して、使用頻度がより高い予約命令の処理を行う回路構成データを優先的に上記補助演算装置に書き込むことを特徴とする半導体集積回路。

【請求項9】 請求項8記載の半導体集積回路において、

メモリとをさらに備え、

上記構成データ書き込み手段は、上記履歴記憶手段を参照して、上記予約命令の回路構成データを、使用頻度の高い順に、上記補助演算装置と上記メモリとに書き込むことを特徴とする半導体集積回路。

【請求項10】 請求項8記載の半導体集積回路において、

メモリとをさらに備え、

上記構成データ書き込み手段は、上記履歴記憶手段を参照して、上記予約命令の回路構成データを、使用頻度の高い順に、上記補助演算装置と上記メモリとに書き込むことを特徴とする半導体集積回路。

【請求項11】 請求項1～7のうちいずれか1つに記載の半導体集積回路において、

上記予約命令を複数回受けたときの予約命令の遷移パターンを記憶する履歴記憶手段とをさらに備え、

上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている予約命令から遷移する確率がより高い予約命令の回路構成データを優先的に上記補助演算装置に書き込むことを特徴とする半導体集積回路。

【請求項12】 請求項1～7のうちいずれか1つに記載の半導体集積回路において、

上記予約命令を複数回受けたときの予約命令の遷移パターンを記憶する履歴記憶手段とをさらに備え、

上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている予約命令から遷移する確率がより高い予約命令の回路構成データを優先的に上記補助演算装置に書き込むことを特徴とする半導体集積回路。

【請求項13】 請求項1～7のうちいずれか1つに記載の半導体集積回路において、

上記予約命令を複数回受けたときの予約命令の遷移パターンを記憶する履歴記憶手段とをさらに備え、

上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている予約命令から遷移する確率がより高い予約命令の回路構成データを優先的に上記補助演算装置に書き込むことを特徴とする半導体集積回路。

【請求項14】 請求項1～7のうちいずれか1つに記載の半導体集積回路において、

上記予約命令を複数回受けたときの予約命令の遷移パターンを記憶する履歴記憶手段とをさらに備え、

上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている予約命令から遷移する確率がより高い予約命令の回路構成データを優先的に上記補助演算装置に書き込むことを特徴とする半導体集積回路。

【請求項15】 請求項1～7のうちいずれか1つに記載の半導体集積回路において、

上記予約命令を複数回受けたときの予約命令の遷移パターンを記憶する履歴記憶手段とをさらに備え、

上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている予約命令から遷移する確率がより高い予約命令の回路構成データを優先的に上記補助演算装置に書き込むことを特徴とする半導体集積回路。

上記予約命令を複数回受けたとき、第1の予約命令の次に実行される第2の予約命令の頻度を各予約命令ごとに記憶する履歴記憶手段をさらに備え、

上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている第1の予約命令の次に実行される頻度が高い第2の予約命令の回路構成データを優先的に上記補助演算装置に書き込むことを特徴とする半導体集積回路。

【請求項13】 請求項1～7のうちのいずれか1つに記載の半導体集積回路において、

上記予約命令を2回受けたときの予約命令の遷移パターンと、上記2つの予約命令を受ける時間間隔とを記憶する履歴記憶手段をさらに備え、

上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている予約命令から遷移する確率がより高い予約命令の回路構成データを、上記時間間隔が回路構成データの書き込みに必要な時間よりも長いときに限り上記補助演算装置に書き込むことを特徴とする半導体集積回路。

【請求項14】 請求項1～7のうちのいずれか1つに記載の半導体集積回路において、

上記予約命令を2回受けたときの予約命令の遷移パターンと、上記2つの予約命令を受ける時間間隔とを記憶する履歴記憶手段をさらに備え、

上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている第1の予約命令の次に実行される頻度が高い第2の予約命令の回路構成データを、上記時間間隔が回路構成データの書き込みに必要な時間よりも長いときに限り上記補助演算装置に書き込むことを特徴とする半導体集積回路。

【請求項15】 請求項1～11のうちのいずれか1つに記載の半導体集積回路において、

上記構成データ書き込み手段は、上記補助演算装置の空き容量が上記予約命令の構成データの容量よりも大きければ上記予約命令の構成データの書き込みを行い、空き容量が少なければ上記予約命令の回路構成データの容量よりも空き容量が多くなるまで上記予約命令よりも使用頻度の低い予約命令を上記補助演算装置から解放することを特徴とする半導体集積回路。

【請求項16】 請求項1～11のうちのいずれか1つに記載の半導体集積回路において、

上記補助演算装置はバンク構成を有しており、上記構成データ書き込み手段は、上記補助演算装置の空きバンクが上記予約命令の構成データの必要バンクよりも大きければ上記予約命令の構成データの書き込みを行い、

空きバンクが少なければ上記予約命令の回路構成データの必要バンクよりも空きバンクの方が多くなるまで上記予約命令よりも使用頻度の低い予約命令を上記補助演算装置から解放することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CPUとプログラマブルデバイスとを混載した半導体集積回路に係わり、特にその処理性能向上対策に関する。

【0002】

【従来の技術】従来より、PLD (Programmable Logic Device) もしくはFPGA (Field Programmable Gate Array) と呼ばれるプログラマブルデバイスが広く知られている (以下、本明細書ではFPGAと記載する)。FPGAはユーザーがその回路構成をプログラミングすることが可能であるデバイスであって、ユーザーが設計した回路を即座に構成し、その動作を実現することができるというメリットがある。特に回路構成を繰り返し再構成することができるFPGAの場合には、その時々に必要な回路構成に柔軟に変更して処理性能が上げられるというメリットもある。

【0003】さらに、近年、このFPGAとCPUとを1つの半導体集積回路上に混載したものが提案されてきている。このような半導体集積回路においては、従来のCPUのプログラムの変更に加えて、FPGAで構成された部分の回路構成が変更可能となったため、システムの変更により柔軟に対応することができることになる。

【0004】従来のCPUとFPGAを混載した半導体集積回路の例として、例えば特開平05-242050号公報に開示されるようなものがあり、CPUとFPGAとを備え、処理すべき演算の一部をFPGA部に構成される回路によって行う方法が知られている。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来のCPUとFPGAを混載した半導体集積回路においては、FPGAで処理する命令が来た場合にFPGAにその処理を行う回路が構成されていなければ未実行命令 (undefined operation) として扱われ処理がストップするという問題があった。

【0006】また、上記従来のCPUとFPGAを混載した半導体集積回路においてはFPGAに構成される回路を固定した場合には、回路構成がダイナミックに変更することができるというFPGAの特徴を生かしておらず、その時々に必要な回路に柔軟に対応できず、処理性能向上に限界があった。

【0007】また、FPGAに構成される回路をダイナミックに変更するようにした場合にも、回路構成変更のタイミングはあらかじめユーザーが指定する必要がある、自動的に回路構成の変更ができなかった。また、異なるユーザーが異なる処理を同じ半導体集積回路に行わせる場合にはFPGAの回路構成や回路構成を変更するタイミングを再検討しなくてはならないことになる。

【0008】すなわち、従来のCPUとFPGAを混載した半導体集積回路においては、FPGAによる処理性能

能向上は自動的に行われないという問題があった。

【0009】本発明の目的は、FPGAに構成される回路を自動的にダイナミックに変更でき、処理性能の高いCPUとFPGAを混載した半導体集積回路を提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体集積回路は、CPUと、回路構成が書き換え可能であるプログラマブルデバイスで構成される上記CPUの補助演算装置と、命令あるいは複数の命令からなる命令列を受けて、上記命令あるいは命令列が上記補助演算装置で処理が可能な予約命令か否かを判別する第1の判別手段と、上記予約命令の処理を行う回路構成データを上記補助演算装置に書き込むための構成データ書き込み手段とを備えている。

【0011】これにより、プログラマブルデバイスによって構成される回路を自動的にダイナミックに変更することができ、処理性能の高いCPUとプログラマブルデバイスを混載した半導体集積回路を提供することが可能になった。

【0012】上記第1の判別手段の結果を受けて、上記命令が上記予約命令であるときには、上記予約命令の処理を行う回路が上記補助演算装置内に存在するか否かを判断する第2の判別手段と、上記第1の判別手段および第2の判別手段の判断結果を受けて、上記命令が上記予約命令であるときには、上記補助演算装置を用いて上記予約命令の処理を行うか否かを判断する第3の判別手段とをさらに備えることが好ましい。

【0013】上記第2の判別手段の判断結果を受けて、上記予約命令の処理を行う回路が上記補助演算装置内に存在する場合に、上記予約命令の処理を上記補助演算装置で行わせるように指示し、上記予約命令の処理を行う回路が上記補助演算装置内に存在しない場合に、上記予約命令の処理を上記CPUで行うように指示する命令切り替え手段をさらに備えることにより、プログラマブルデバイス内に予約命令の構成データがない場合でも、未実装命令として扱われてCPUが停止するような事態は発生しない。

【0014】上記予約命令はCPUで実行され得ない命令であり、上記予約命令と同等の処理をCPUで行うための代替命令を供給する代替命令供給手段とをさらに備え、上記命令切り替え手段は、上記代替命令供給手段から上記代替命令を取得する機能を有していることにより、予約命令がない場合には、代替命令を送ることにより、CPUによって予約命令による処理と同等の処理が行われる。したがって、プログラマブルデバイス内に予約命令の構成データがない場合でも、未実装命令として扱われてCPUが停止するような事態は発生しない。

【0015】上記予約命令はCPUで実行され得ない命令であり、上記命令又は命令列と、上記予約命令と同等

の処理をCPUで行うための代替命令とを供給する機能を有する命令供給手段をさらに備え、上記命令切り替え手段は上記命令供給手段から上記予約命令または上記代替命令を選択して取得する機能を有していることにより、予約命令又は代替命令を迅速に実行することが可能になる。

【0016】上記予約命令はCPUで実行され得る命令であり、上記命令切り替え手段は、上記予約命令の処理を上記補助演算装置で行わせる場合は上記予約命令の処理を上記補助演算装置で行わせるように上記命令を変更し、上記予約命令の処理を上記CPUで行わせる場合は上記予約命令を変更しない機能をさらに有していることが好ましい。

【0017】上記構成データ書き込み手段は、上記予約命令を受けたときに、当該予約命令の処理を行う回路が上記補助演算装置に存在しない場合に、上記補助演算装置に上記予約命令の回路構成データを書き込む機能を有していることにより、プログラムが変更された場合でも、その変更に応じたプログラマブルデバイスの利用が可能になる。したがって、プログラマブルデバイスを利用したHW/SWの切り換えなどのダイナミックな書き換えにより、処理能率の向上を図ることができる。

【0018】上記予約命令の使用頻度を記憶する履歴記憶手段をさらに備え、上記構成データ書き込み手段は、上記履歴記憶手段を参照して、使用頻度がより高い予約命令の処理を行う回路構成データを優先的に上記補助演算装置に書き込むことにより、頻度を指標とするプログラマブルデバイスの使用の最適化を図ることができる。

【0019】メモリをさらに備え、上記構成データ書き込み手段は、上記履歴記憶手段を参照して、上記予約命令の回路構成データを、使用頻度の高い順に、上記補助演算装置と上記メモリとに書き込むことが好ましい。

【0020】メモリをさらに備え、上記構成データ書き込み手段は、上記履歴記憶手段を参照して、上記予約命令の回路構成データを、上記補助演算装置に上記予約命令の回路構成データよりも空き容量が多ければ書き込み、空き容量が少なければ上記予約命令の回路構成データよりも空き容量が多くなるまで上記予約命令よりも使用頻度の低い予約命令を上記補助演算装置から解放し、上記解放された予約命令を、上記メモリの上記メモリに書き込む第4の判別手段をさらに備えていることがより好ましい。

【0021】上記予約命令を複数回受けたときの予約命令の遷移パターンを記憶する履歴記憶手段をさらに備え、上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている予約命令から遷移する確率がより高い予約命令の回路構成データを優先的に上記補助演算装置に書き込むことにより、特定の遷移パターンを示す種類のデバイスに特に適合した回路が得られることになる。

【0022】その場合、上記予約命令を複数回受けたとき、第1の予約命令の次に実行される第2の予約命令の頻度を各予約命令ごとに記憶する履歴記憶手段をさらに備え、上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている第1の予約命令の次に実行される頻度が高い第2の予約命令の回路構成データを優先的に上記補助演算装置に書き込むことが好ましい。

【0023】また、上記予約命令を2回受けたときの予約命令の遷移パターンと、上記2つの予約命令を受ける時間間隔とを記憶する履歴記憶手段をさらに備え、上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている予約命令から遷移する確率がより高い予約命令の回路構成データを、上記時間間隔が回路構成データの書き込みに必要な時間よりも長いときに限り上記補助演算装置に書き込むことにより、処理能力の向上を図ることができる。

【0024】上記予約命令を2回受けたときの予約命令の遷移パターンと、上記2つの予約命令を受ける時間間隔とを記憶する履歴記憶手段をさらに備え、上記構成データ書き込み手段は、上記履歴記憶手段を参照して、現在受けている第1の予約命令の次に実行される頻度が高い第2の予約命令の回路構成データを、上記時間間隔が回路構成データの書き込みに必要な時間よりも長いときに限り上記補助演算装置に書き込むことによっても、処理能力の向上を図ることができる。

【0025】上記構成データ書き込み手段は、上記補助演算装置の空き容量が上記予約命令の構成データの容量よりも大きければ上記予約命令の構成データの書き込みを行い、空き容量が少なければ上記予約命令の回路構成データの容量よりも空き容量が多くなるまで上記予約命令よりも使用頻度の低い予約命令を上記補助演算装置から解放することにより、処理能力の向上を図ることができる。

【0026】上記補助演算装置はバンク構成を有しており、上記構成データ書き込み手段は、上記補助演算装置の空きバンクが上記予約命令の構成データの必要バンクよりも大きければ上記予約命令の構成データの書き込みを行い、空きバンクが少なければ上記予約命令の回路構成データの必要バンクよりも空きバンクの方が多くなるまで上記予約命令よりも使用頻度の低い予約命令を上記補助演算装置から解放することにより、より確実に処理能力の向上を図ることができる。

【0027】

【発明の実施の形態】（第1の実施形態）

—システムの概略構成—

図1は、本発明の第1の実施形態における半導体集積回路のブロック図である。同図に示すように、本実施形態の半導体集積回路10は、外付けされたコンフィギュレーションメモリ11と信号の授受が可能になっている。そして、半導体集積回路10の内部には、データ等

を処理するためのプログラムを記憶している命令メモリ12と、FPGAで処理する予約命令（以下“F命令”）と同じ処理をCPUで行なうための代替命令を記憶している代替命令記憶部13と、命令メモリ12及び代替命令記憶部13から命令を取り込むためのプリフェッチ部14と、命令メモリ12から入力されたF命令の履歴を記憶するための履歴記憶部15と、履歴記憶部15の出力を受けてFPGA19に構成する回路を判断する判別部16と、判別部16の出力を受けてFPGA19に構成する回路を書き換えるための書き換え制御部17と、プリフェッチ部14から供給される命令に応じて動作するCPU18と、FPGA19と、内蔵メモリ21と、構成データタグ22とを備えている。FPGA19内にはFPGA19に構成する回路の構成データを記憶するための構成データメモリ20が含まれている。命令はCPU18内でデータ処理が完了する基本命令とCPU18外の回路によりデータ処理を行う拡張命令からなり、F命令は拡張命令に相当し、代替命令は基本命令に相当する。

【0028】なお、図示しないが、半導体集積回路10内には、CPU18やFPGA19以外の論理回路やアナログ回路があってもよく、それらによっても各種の処理が行われるが、これらの処理については、従来と同様の制御で行うことができる。

【0029】—記憶部全般の構成—

まず、命令メモリ12、代替命令記憶部13、FPGA19、構成データタグ22、コンフィギュレーションメモリ11及び履歴記憶部15などの記憶部全般の構成について説明する。

【0030】命令メモリ12には、CPU18で実行するプログラムが格納されている。このプログラム内にF命令が含まれることがある。F命令は、各F命令を識別するためのIDコードが付される。代替命令記憶部13には、各F命令と同じ処理をCPU18で行うための代替命令が格納されている。

【0031】図4は、命令メモリ12に格納されるプログラムの例を示す図である。符号#よりも左側の「AD D1、D2」は命令メモリに格納される命令であり、符号#よりも右側に記載されている内容は命令の動作を説明するコメントで命令メモリには格納されない。この例では、D1、D2、D3という3つのレジスタがあり、1行目の命令はD1とD2とを加算してその加算結果をD2に代入する命令で、2行目の命令は、D2のデータをD3の値だけ右にシフトしてD2に代入する命令である。

【0032】構成データタグ22は、FPGAのバンクの数だけのレジスタ（又はメモリ）によって構成されており、この各レジスタ（又はメモリ）には、構成データのIDコードが格納されている。

【0033】図5は、バンク数が8で（バンク0～バン

ク7)、構成データ数が4(1D=1~4)の場合の構成データタグ22のデータ構造を示す図である。ただし、図において、1D=0とは何も入っていないことを示している。図4に示すように、この例では、バンク0~1に1D1のF命令の構成データが入っており、バンク2~4には、1D4のF命令の構成データが入っており、バンク5~7には構成データが入っていないことを示している。構成データタグ22は、プリフェッチ部14などからの“ある1Dで特定される構成データがあるか?”という問い合わせに対して回答する機構を有している。たとえば、“1D=4の構成データがあるか?”という問いに対しては、“バンク2~4にある”と回答する。また、“空気があるか?”という問い合わせに対しては、回答する機構を備えており、図5に示す場合には、上記問い合わせに対して“バンク5~7が空いている”と回答することになる。

【0034】図6(a)、(b)は、それぞれ代替命令記憶部13、命令メモリ12に格納されるプログラムのうちF命令の例を示す図である。図6(b)に示す例では、F命令であることを示すFPGA内の文字列の後には、1Dコードである1と、この命令で使用される3つのレジスタD1、D2、D3が指定されている。そして、このF命令で実行される処理は、ここでは図4で示されるプログラムと同じである。

【0035】図6(b)に示す例では、図6(a)のF命令に対する代替命令の例を示している。すなわち、CPU18で、図6(a)のF命令と同じ処理を行うプログラムが格納されている。

【0036】すなわち、代替命令記憶部13には、F命令をFPGA19で処理せずにCPU18で処理する場合に、F命令と同じ処理を実現するための代替命令が格納されている。つまり、ここでの代替命令とは、FPGA19によって処理する拡張命令がきても、その処理を行う回路がFPGA19に構成されていない場合に、CPU18によって同じ処理を行わせるための基本命令である。

【0037】F命令がプリフェッチ部14によりフェッチされ、かつ、代替命令を実行することになると、プリフェッチ部14は代替命令記憶部13に対して当該F命令の代わりとなる代替命令をフェッチするようアクセスする。このとき、当該F命令の1Dコードを代替命令記憶部13に送ると、代替命令記憶部13は、1Dコードに対応する代替命令を供給する。そして、終了コードFPGAendを検知すると、代替命令の終了信号プリフェッチ部14に供給する。プリフェッチ部14は、代替命令の終了信号を受けると、再び命令メモリ12から命令をフェッチするように動作する。

【0038】一般的に、FPGAは回路構成データが与えられることによって、その回路構成が決定される。回路構成データは、一般的にチップ外部に備えられた不揮

発性メモリであるコンフィギュレーションメモリに記憶されており、コンフィギュレーションメモリから回路構成データがFPGAに与えられる。また、FPGA内では、回路構成データがFPGA内に構成された構成データメモリに保持され、回路構成データに基づき回路の最小単位であるロジックモジュールの論理動作とロジックモジュール間の接続関係が決まり、これによりFPGAの回路構成が確定する。

【0039】本実施形態においては、FPGA19は、図1に示すように、複数のバンクに区画されており、各バンクに対応する構成データメモリ20が付設されている。構成データメモリ20へのコンフィギュレーション(構成データの書き込み)は、このバンク単位で、CPUの動作とは独立して行なうことができる。また、CPU18とFPGA19との間はバスによって接続されており、F命令で必要だけデータのやりとりが可能に構成されている。

【0040】履歴記憶部15は、各F命令の頻度をカウントするものであり、F命令の数と同じ数のレジスタと、カウンタとによって構成されている。プリフェッチ部14がF命令を検知すると、そのF命令の1Dコードが履歴記憶部15に送られ、履歴記憶部15は送られた1Dコードに対応するレジスタの値を1増やす。

【0041】—プリフェッチ部の処理—  
プリフェッチ部14は、命令メモリ12から命令をフェッチする機能と、代替命令記憶部13から代替命令をフェッチする機能と、フェッチしてきた命令がF命令か否かを判断する機能とを有する。図2は、プリフェッチ部14の処理の流れを示すフローチャートである。すなわち、ステップST11で、命令を命令メモリ12からフェッチして、ステップST12で、命令がF命令か否かを判断する。そして、F命令でない場合には、ステップ16でCPU18にそのままだけの命令を送る一方、F命令である場合には、ステップST13に進んで、構成データタグ22の内容を参照して、F命令の1D番号に基づいてFPGA19にその1DのF命令の回路が構成されているかどうかを判断する。そして、FPGA19にその1DのF命令の回路が構成されている場合には、ステップST14に進んで、F命令をそのままCPU18に送り、FPGA19にその1DのF命令の回路が構成されていない場合には、ステップST15に移行して、代替命令を代替命令記憶部13からフェッチして、CPU18に送る。代替命令列が終了するまでは、プリフェッチ部14は、命令メモリ12からではなく、代替命令記憶部13から代替命令をフェッチしてくる。

【0042】このように、F命令の処理を行う回路がFPGA19に構成されていない場合には、代替命令をCPU18に送ることにより、F命令による処理と同じ処理が行なわれる。すなわち、FPGA内にF命令の処理を行う回路が構成されていない場合でも、従来のように

11

未実施命令として扱われてCPUが停止するような事態は発生しない。

【0043】一判別部及び書き換え制御部の処理一判別部16は、主として、コンフィギュレーションメモリ11、FPGA19内の構成データメモリ20及び内蔵メモリ21間の構成データの移動を決定するものである。入力として、履歴記憶部15からの履歴情報、構成データタグ22からの構成データ情報、コンフィギュレーションメモリ11からのバンク数情報などがある。これらの情報を用いて、どのF命令の構成データを構成データメモリ20のどこかのバンクにローディングするかを決定する。そして、書き換え制御部17により、構成データのローディングを制御する。

【0044】従来のCPUとFPGAを混載した半導体集積回路では、どのF命令の構成データをいつFPGAのどこにローディングすれば処理性能が高くなるかをあらかじめ考える必要があった。これに対して、本実施形態では、以下のアルゴリズムでFPGA19の構成データの更新を行なうことにより、どのF命令の構成データをいつFPGAのどこにローディングすれば処理性能が高くなるかを自動的に判断し、構成データの更新を自動的に行うことができる。

【0045】図3は、判別部16及び書き換え制御部17における処理の流れを示すフローチャートである。まず、ステップST21で、当該F命令Aを構成するのに必要なバンク数をコンフィギュレーションメモリ11から読み出す。次に、ステップST22で、FPGA19の空きバンク数 $N$ がF命令Aの必要バンク数 $N_A$ 以上か否かを判別し、 $N_A \geq N$ （YES）であれば、ST23でFPGA19中の空きバンクの構成データメモリにF命令Aの構成データをローディングする。このとき、構成データが内蔵メモリ21にあればそちらからローディングし、終了する。

【0046】一方、ステップST22の判別で、 $N_A < N$ （NO）のときには、FPGA19に構成されたF命令のうちで使用頻度の低いF命令との置き換えを図るための処理を行う。そこで、ステップST24に移行して、まず、FPGA19に構成されているF命令のうち使用頻度の最も低いものを選択して、これを置換用のF命令Bとする。

【0047】そして、ステップST25で、F命令Aの使用頻度 $U_A$ がF命令Bの使用頻度 $U_B$ よりも大きいかなかを判断し、 $U_A \leq U_B$ （NO）のときには、置き換えるべきでないとして判断して、何もせず終了する。

【0048】一方、 $U_A > U_B$ （YES）のときには、ステップST27で、内蔵メモリ21にF命令Bの構成データを記憶することができるだけの空間があるかを調べる。そして、内蔵メモリ21にF命令Bの構成データを記憶することができるだけの空間がある（YES）場合には、ステップST28で、F命令BをFPGA19

12

の構成データメモリ20から内蔵メモリ21に移動させた後、ステップST29で、FPGA19の構成データメモリ20中のF命令Bが格納されているバンクを空きバンクとして、ステップST22に戻る。このとき、空きバンク数 $N_A$ がF命令Bの分だけ増えるので、ステップST22の判別結果がYES（ $N_A \geq N_A$ ）になる確率が高くなるが、NO（ $N_A < N_A$ ）のときには、別のF命令が置換用のF命令Bに指定されて、ステップST24以降の処理が行われる。

【0049】また、ステップST27の判別で、内蔵メモリ21にF命令Bの構成データを記憶することができるだけの空間がない（NO）場合には、ステップST30に移行して、内蔵メモリ21に記憶されているF命令の構成データがあるか否かを判別する。そして、内蔵メモリ21に記憶されているF命令の構成データがあれば、ステップST31に進んで、内蔵メモリ21について、FPGA19中の構成データメモリ20について行なったステップST24、ST25と同様の処理を行なう。すなわち、ステップST31で、内蔵メモリ21に格納されているF命令のうち使用頻度が最も低い命令を置換用のF命令Cとする。そして、ステップST32で、F命令Bの使用頻度 $U_B$ がF命令Cの使用頻度 $U_C$ よりも大きいかなかを判断し、 $U_B > U_C$ であれば、ステップST33で、内蔵メモリ21中のF命令Cが格納されている領域を空き空間として、ステップST27の処理に戻る。

【0050】一方、ステップST30の判別において内蔵メモリ21中にF命令が存在していない場合や、ステップST32の判別において $U_B \leq U_C$ （NO）のときには、ステップST29に移行して、F命令Bの構成情報が格納されたバンクを空きとしてST22へ戻る。

【0051】以上のような処理の結果、最終的に、F命令の構成データは使用頻度の高い順番に構成データメモリ20、内蔵メモリ21に格納される。

【0052】以上の処理において、F命令B、F命令Cは置換用のF命令を意味するもので、特定の1つのF命令を指すものではない。

【0053】なお、リセット時には、FPGA19内の構成データメモリ20に対してF命令の構成データの初期コンフィギュレーションが行なわれる。この初期コンフィギュレーションは、構成データメモリ20に任意のF命令の構成データをローディングする方法と、履歴記憶部15の履歴データからより使用頻度の高いF命令の構成データを構成データメモリ20に優先的にローディングする方法とがある。後者の場合には、リセットによって履歴記憶部15の情報が消去されないようにする必要がある。パワーオンリセット時も同様の動作が必要となる場合には、履歴記憶部15の記憶情報が不揮発性を持っている必要がある。

【0054】本実施形態によると、“使用頻度 $U$ ”とい

50

13

うパラメータをFPGA19中の構成データメモリ20の構成データを決定する際に用いることにより、使用頻度の高いものから順に構成データメモリ20、内蔵メモリ21に格納されることになる。

【0055】したがって、どのF命令の構成データを使うにローディングするかを予め考えることなく、使用頻度をパラメータとしてFPGAの構成を自動的に変更させることが可能になる。その結果、より使用頻度の高いF命令をFPGAに自動的に構成することが可能となり、処理性能の向上を図ることができる。

【0056】なお、履歴記憶部で記憶することができる使用頻度の数値には上限があるので、上限以上の頻度の更新結果が正しく反映されないおそれがある。そこで、ある1DのF命令の使用頻度が上限に達したとき、適正化が終了したものと見な以降の更新を停止するか、全てのF命令の使用頻度を一律に減少させて更新を継続する方法をとることにより、使用頻度の高いF命令をFPGAに保持することができる。

【0057】《第2の実施形態》次に、F命令と代替命令とが併記されたデータ構造を有する命令メモリを有する場合の制御方法に関する第2の実施形態について説明する。本実施形態においては、図1に示す構成において、代替命令記憶部13を備えていないことが前提である。

【0058】図7は、命令メモリ12中のプログラムにF命令と代替命令が併記されている場合の具体例を示す図である。図7においては、図6(a)に示すF命令および図6(b)に示すF命令と、それらの代替命令とが併記されている場合を例にしている。

【0059】図7に示すように、プリフェッチ部14がF命令を受けて、F命令をFPGA19で処理する場合には、プリフェッチ部はF命令をCPU18に送った後、F命令に記述されているアドレスrまでジャンプする。したがって、代替命令は実行されず、次の命令が実行されることになる。一方、F命令をFPGA18で処理せず代替命令を実行する場合には、プリフェッチ部14はF命令を無視し、F命令に続いて記述された代替命令をフェッチし、CPU18に送る。したがって、この場合には代替命令がCPU18で実行されることになる。

【0060】本実施形態においては、プリフェッチ部14が命令メモリ12からフェッチした命令がF命令であり、かつ、そのF命令の回路がFPGA19内に構成されていない場合には、F命令を行なうことなく代替命令を行なう。

【0061】本実施形態においては、上記第1の実施形態に比べて、F命令と代替命令とを切り換えるための切り換え機構が不要になり、代替命令を記憶するためのハードウェアも必要でないという利点がある。ただし、第1の実施形態では、F命令と代替命令とを並列にフェッ

14

チすることができるので、本実施形態のごとく、スキャンなどのときに生じる待ち時間が少ないという利点がある。

【0062】本実施形態においても、構成データタグ22を利用したF命令の存在の確認や、判別部16、書き換え制御部17を利用したF命令の構成データのローディングなどの制御は、第1の実施形態と同様に行なうことができ、第1の実施形態と同じ効果を発揮することができる。

【0063】《第3の実施形態》上記第1、第2の実施形態においては、命令メモリ内のプログラムにF命令が含まれ、そのF命令を検知することによってF命令の処理をFPGAで行なうかどうかを判断するように構成されている。したがって、F命令を使用していないプログラムを使用した場合には、混雑されたFPGAを使用した処理ができないため、FPGAによる処理能力の向上を図ることができない。そこで、本実施形態においては、命令メモリには、F命令を使用していないプログラムを格納し、かつFPGAを使用した処理を実現し、このような場合でも処理能力の向上を図るようにする。

【0064】図11は、本実施形態における半導体集積回路のブロック回路図である。同図に示すように、本実施形態においては、代替命令記憶部が設けられていない。そして、本実施形態においては、命令メモリ12内のプログラムには、F命令が含まれていない。そして、FPGA19で行う処理として、F命令以外の命令から成る命令列と同等の処理を行う回路の構成データを用意して、その命令列、構成データおよびIDコードを、予めコンフィギュレーションメモリ11に格納しておく。

【0065】図8は、本実施形態において、命令メモリ12から供給される命令列の例を示す図である。この例では、レジスタに格納されたD1、D2、D3という3つのデータがあり、1行目の命令でデータD1とデータD2とを加算してその加算結果をD2に代入し、2行目の命令で、データD2の値をデータD3の値だけ右にシフトしてデータD2に代入する。

【0066】図9は、本実施形態におけるコンフィギュレーションメモリのデータ構造を示す図である。同図に示すように、コンフィギュレーションメモリのデータは、IDコード、命令列、対応する構成データとバンク数とを含んでいる。

【0067】図10は、図8に示す命令列の例に対するコンフィギュレーションメモリのデータ構造の例を示す図である。具体的にはIDコードは1で、命令列は「ADD D1、D2・LSR D3、D2」で、バンク数は1で対応する構成データ（図では項目のみ）となっている。

【0068】構成データタグ22の構造は上記第1の実施形態で説明したとおりである。

50

【0069】そして、本実施形態においては、プリフェッチ部14が命令メモリ12から命令列をフェッチしたときに、コンフィギュレーションメモリ11内の命令列部を参照して、フェッチした命令列と一致するものがコンフィギュレーションメモリ11内の命令列中に存在しているか否かを判別部で判別し、一致するものがある場合には、第1、第2の実施形態のF命令をフェッチしたときと同様に、以下の動作を行う。本実施形態では、命令メモリ12からフェッチされた命令列と一致するものがコンフィギュレーションメモリ11内の命令列中に存在しており、かつその処理をFPGA19で行わないと判定された命令列が第1、第2の実施形態における代替命令に相当することになる。また、本実施形態では、命令メモリ12からフェッチされた命令列と一致するものがコンフィギュレーションメモリ11内の命令列中に存在しており、かつ、その処理をFPGA19で行うと判断した場合には、プリフェッチ部は図8で示す命令列を図6(a)に示すF命令に書き換えてCPU18に送る。これにより、その処理はFPGA19で行われることとなる。

【0070】なお、リセット時やパワーオンリセット時に、コンフィギュレーションメモリ11内の命令列データをプリフェッチ部に取り込むことも可能であり、その場合には、コンフィギュレーションメモリに命令列の参照を行う必要がないため、処理の迅速化が可能である。

【0071】本実施形態においても、構成データタグ22を利用した構成データの存在の確認や、判別部16、書き換え制御部17を利用した構成データのローディングなどの制御は、第1の実施形態と同様に行なうことができる。

【0072】本実施形態によると、F命令が含まれないプログラムに対しても、FPGAを使用した処理を可能とし、処理能力の向上を図ることができる。

【0073】(第4の実施形態)次に、図1、図11に示す履歴記憶部15に1つのF命令だけでなく複数のF命令の履歴を記憶する機能を付与するようにした第4の実施形態について説明する。

【0074】本実施形態においては、上記図1又は図11に示す半導体集積回路を前提として、履歴記憶部15の構成が上記第1～第3の実施形態とは異なっている場合について説明する。

【0075】図12は、本実施形態における履歴記憶部の主要部の構成を示す図である。同図に示すように、履歴記憶部15aには、構成データ数の2乗分のレジスタ、前回F命令ID記憶部と、インクリメンタとが設けられている。本実施形態においては、構成データ数が5つの場合を例としている。履歴記憶部15aには、前回のF命令から今回のF命令への遷移パターン、つまりID番号1、2、3、4、5の遷移パターンに対応して、 $5 \times 5 = 25$ の頻度のレジスタが設けられており、

各頻度のレジスタには、その遷移パターンが生じた頻度が登録されている。同図には、一部のレジスタについての頻度値が例示されている。この遷移頻度の登録方法は、以下の通りである。

【0076】履歴記憶部15aに、図1、図11に示すプリフェッチ部14からF命令のIDが入力されると、次のF命令が入力されるまでの間、前回F命令ID記憶部にそのID番号が保持される。そして、履歴記憶部15aに次のF命令のIDが入力されると、前回のF命令と次のF命令とのID番号の遷移パターンが分かるので、インクリメンタがその遷移パターンに対応するレジスタから現在の頻度を取り出して、その値に1を加算してレジスタに戻し、次のF命令は前回F命令ID記憶部に保持される。これにより、各レジスタには、各遷移パターンの頻度が更新されながら登録される。

【0077】一方、図1又は図11に示す判別部16では、履歴記憶部15aの頻度のレジスタに登録されている頻度を参照して、現在実行されているF命令のID番号から次にどのF命令の構成データを構成データメモリ20にローディングしておくかを決定する。例えば、頻度のレジスタには図12に例示されている頻度値が登録されている場合、現在実行されているF命令のID番号が1であるとして、そのF命令が終了した後に、遷移する確率をもっとも高いID番号3のF命令の構成データをFPGA18の構成データメモリ20にローディングしておく。

【0078】上記第1、第2の実施形態におけるF命令の構成データのローディングの制御は、入力される頻度がもっとも高いF命令の構成データを優先的にFPGA19の構成データメモリ20に格納したか、本実施形態においては、現在のF命令から予想される遷移の確率をもっとも高いF命令の構成データを優先的にFPGA19の構成データメモリ20に格納する。言い換えると、本実施形態では、遷移パターンの発生頻度を指標として、F命令の構成データのローディングの制御を行なうこととなる。具体的には、図3に示すフローチャートにおいて、ステップST24、ST31においては遷移する確率が低いF命令をF命令B、F命令Cとし、ステップST25、ST32における判別において、使用頻度Uに代えて遷移頻度Tの大小を比較する。

【0079】本実施形態によると、現在のF命令から遷移する確率をもっとも高いF命令の構成データを予めFPGAの構成データメモリにローディングしておくことにより、新F命令が入力されたときに、新F命令の構成データがFPGA19の構成データメモリ中に存在しないために代替命令を使用せざるを得ない、という事態をできるだけ回避することができる。したがって、特定の遷移パターンが現れやすいプログラムでは処理能力の向上が期待できる。

【0080】なお、上記第4の実施形態においては、2

17

つのF命令間の遷移パターンを履歴記憶部に記憶させる場合について説明したが、3つ以上のF命令の遷移パターンを履歴記憶部に記憶させる場合についても適用することができる。

【0081】(第5の実施形態) 次に、上記第4の実施形態に加えて、F命令の遷移に要するインターバルも記憶するようにした例である第5の実施形態について説明する。

【0082】本実施形態においても、上記図1又は図11に示す半導体集積回路を前提とし、履歴記憶部の構成が上記第1〜第4の実施形態とは異なっている場合について説明する。

【0083】図13は、本実施形態における履歴記憶部の主要部の構成を示す図である。同図に示すように、履歴記憶部15bには、構成データ数の2乗の2倍分のレジスタと、前回F命令ID記憶部と、インクリメントと、インターバル検出部(カウンタ)と、インターバル更新部とが設けられている。本実施形態においては、構成データ数が5つの場合を例に採っている。履歴記憶部15bには、前回のF命令から今回のF命令への遷移パターン、つまりID番号1、2、3、4、5の遷移パターンに対応して、 $5 \times 5 \times 2 = 50$ のレジスタが設けられており、これらのレジスタには、その遷移パターンが生じた頻度が登録されている頻度のレジスタと、その遷移に要した時間であるインターバルの平均値が登録されているインターバルのレジスタとがある。同図には、一部のレジスタについてのみ頻度値及びインターバルの平均値が例示されている。この遷移頻度やインターバルの平均値の登録方法は、以下の通りである。

【0084】履歴記憶部15bにプリフェッチ部14からF命令のIDが入力されると、第4の実施形態と同様の動作によって、頻度のレジスタに各遷移パターンが生じた頻度が登録される。また、インターバル検出部により、前回のF命令が入力されたときからの経過時間がカウントされており、前回のF命令が入力されたときから次のF命令が入力されるまでのインターバルが検出される。そこで、インターバル更新部により、インターバルのレジスタから前回までのインターバルの平均値を取り出して、以下の計算式

新平均値 = (前回までの平均値 × 前回までの遷移頻度 + 今回のインターバル値) / (前回までの遷移頻度 + 1) に基づいて、インターバルの平均値を更新する。

【0085】これにより、頻度、インターバルのレジスタには、システムの動作中における各遷移パターンの頻度、インターバルが更新されながら登録される。

【0086】一方、図1又は図11に示す判別部16では、履歴記憶部15aの頻度のレジスタに登録されている頻度及びインターバルのレジスタに登録されているインターバルの平均値を参照して、現在実行されているF命令のID番号から次にどのF命令をFPGAにローデ

18

ィングするかを決定する。例えば、頻度のレジスタには、図13に例示されている頻度値、インターバル値が登録されている場合、現在ID番号が1であるF命令が実行されているとすると、そのF命令が終了した後は、現在遷移する確率が高くなるのはID番号が3のF命令である。しかし、ID番号が1のF命令からID番号が3のF命令に遷移するインターバルの平均値は300(クロックサイクル)しかないが、この時間はID番号3の構成データをコンフィギュレーションメモリからFPGAへのローディングに要する時間(例えば500クロックサイクル)よりも短いので、構成データの書き換えを行なう時間がない。そこで、図13に示す頻度、インターバルのレジスタの値を参照すると、ID番号1→3の次にID番号1→4の遷移確率が高く、かつ、ID番号1→4へのインターバルの平均値は1100(クロックサイクル)であり、ID番号が4の構成データをローディングする時間(例えば500クロックサイクル)よりも大きいので、構成データの書き換えを行なう時間がある。そこで、ID番号が4のF命令の構成データをFPGA19の構成データメモリ20にローディングしておく。

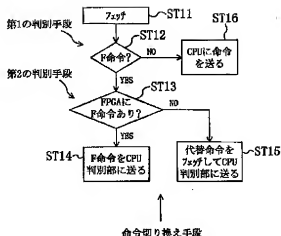
【0087】上記第1、第2の実施形態におけるF命令の構成データのローディングの制御は、入力される頻度が高くなるほど高いF命令の構成データを優先的にFPGA19の構成データメモリ20に格納したが、本実施形態においては、現在のF命令から予想される遷移の確率が高くなるほど、かつ、書き換える時間のあるF命令の構成データを優先的にFPGA19の構成データメモリ20に格納する。言い換えると、本実施形態では、遷移のインターバルを考慮しつつ遷移パターンの発生頻度を指標として、F命令の構成データのローディングの制御を行なうことになる。具体的には、図3に示すフローチャートにおいて、ステップST24、ST31においては遷移する確率が低いインターバルの平均値がローディングに要する時間よりも長いF命令をF命令B、F命令Cとし、ステップST25、ST32における判別において、使用頻度Uに代えてインターバルの平均値がローディングに要する時間よりも長いという条件下で遷移頻度Tの大小を比較する。

【0088】本実施形態によると、現在のF命令から遷移する確率が高くなるほど高いF命令の構成データを予めFPGAの構成データメモリにローディングしておくことにより、新F命令が入力されたときに、新F命令の構成データがFPGA19の構成データメモリ中に存在しないために、代替命令を使用せざるを得ないという事態をインターバルも考慮しながら回避することができる。したがって処理能力の向上を期待することができる。

【0089】(その他の実施形態) なお、上記第1〜第4の実施形態において、命令メモリ2が内蔵されておらずに外付けでもよい。また、プリフェッチ部14はC



【図2】



【図4】

命令列	コメント
ADD D1, D2	#D1+D2→D2
LSR D3, D2	#D2 (D3) bit shift-right→D2

【図5】

ﾊﾞﾝｼﾞ0 ID=1	ﾊﾞﾝｼﾞ1 ID=1	ﾊﾞﾝｼﾞ2 ID=4	ﾊﾞﾝｼﾞ3 ID=4	ﾊﾞﾝｼﾞ4 ID=4	ﾊﾞﾝｼﾞ5 ID=0	ﾊﾞﾝｼﾞ6 ID=0	ﾊﾞﾝｼﾞ7 ID=0
----------------	----------------	----------------	----------------	----------------	----------------	----------------	----------------

【図7】

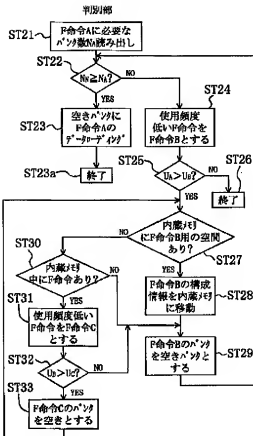
F命令と代替命令とが混在した記述

FPGA 0 D1, D2, D3 (addr) #D1+D2 (D3) bit shift-right→D2  
 代替命令を実行する場合は(addr)に飛ぶ  
 ADD D1, D2 #D1+D2→D2 ここから代替命令  
 LSR D3, D2 #D2 (D3) bit shift-right→D2 ここまで代替命令  
 (次の命令) #ここが(addr)で示される番地

【図9】

ID	命令列	対応する構成FPGA	ﾊﾞﾝｼﾞ数
----	-----	------------	--------

【図3】



【図6】

- (a) FPGA 1 D1, D2, D3 #D1+D2 (D3) bit shift-right→D2
- (b) ADD D1, D2 #D1+D2→D2  
 LSR D3, D2 #D2 (D3) bit shift-right→D2  
 FGPAend #代替命令終了

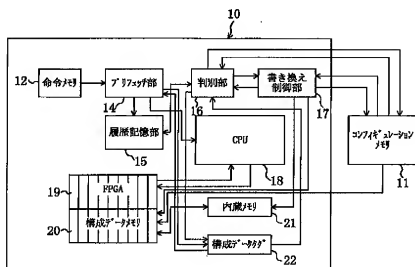
【図8】

ADD D1, D2 #D1+D2→D2  
 LSR D3, D2 #D2 (D3) bit shift-right→D2

【図10】

1	ADD D1, D2 LSR D3, D2	対応する構成フォーマット	1
---	--------------------------	--------------	---

【図11】



【図12】

